

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-169873

(43)Date of publication of application : 17.06.1992

(51)Int.Cl.

G01R 31/28

G01R 31/26

H01L 21/66

(21)Application number : 02-293662

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 01.11.1990

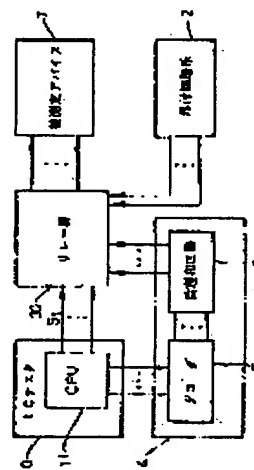
(72)Inventor : KOBAYASHI OSAMU
KUBOTA KAZUYUKI
GOTO KUNIIKO
SEKIDO YUJI

(54) DEVICE TESTING APPARATUS AND METHOD

(57)Abstract:

PURPOSE: To enable adaptation to a novel test simply by adding a hardware by controlling a group of switches based on a test indication code from a test control section to select a test signal indicating an assigned code and an external circuit system.

CONSTITUTION: In testing a device 7 to be measured, when an assigned code of a test measuring system is inputted into a decoder 5 from an IC tester 10, a number of the test measuring system is outputted as decode signal. Therefore, when N output terminals for the assigned code of the tester 10 are prepared, the test measuring system can be set in 2N ways, which can reduced the assigned code from the tester 10. Moreover, an OR circuit 6 generates an ON/OFF switch control signal of a group 30 of relays according to modes of tests of the device 7 to be supplied to the relays 30 and a test signal and an external circuit system 2 are selected to set a desired test measuring system. It is necessary to prepare the circuit 6 for each of the devices 7. But it suffices to add one simple logic element for a relay of a new operation pattern and thus, there is no need for the alternation of a software in the tester 10 thereby achieving a quick response.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3159701号
(P3159701)

(45)発行日 平成13年4月23日(2001.4.23)

(24)登録日 平成13年2月16日(2001.2.16)

(51)Int.Cl.¹ 識別記号

G 0 1 R 31/28

31/26

H 0 1 L 21/66

F I

G 0 1 R 31/28

31/26

H 0 1 L 21/66

H

Z

Z

請求項の数3(全 11 頁)

(21)出願番号 特願平2-293662

(22)出願日 平成2年11月1日(1990.11.1)

(65)公開番号 特開平4-169873

(43)公開日 平成4年6月17日(1992.6.17)

審査請求日 平成9年5月30日(1997.5.30)

審判番号 平11-18824

審判請求日 平成11年12月2日(1999.12.2)

(73)特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(73)特許権者 999999999

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 小林 修

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 窪田 和之

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 後藤 邦彦

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

最終頁に続く

(54)【発明の名称】 デバイス試験装置および試験方法

1

(57)【特許請求の範囲】

【請求項1】被測定デバイス(7)に対し各種の試験を行って該被測定デバイス(7)の良否を判定するための試験制御部(1)と、

該試験制御部(1)から供給されるテスト信号(S_t)と組み合わせて前記被測定デバイス(7)を動作させる外付回路系(2)と、

該テスト信号(S_t)および前記外付回路系(2)の前記被測定デバイス(7)に対する接続状態を切り替えて該被測定デバイス(7)の試験測定系を構成するための切替部(3)とを有するデバイス試験装置において、前記試験を行う際に前記試験制御部(1)から出力され、かつ、前記被測定デバイス(7)の前記試験測定系の種別を指定する指定コードをもとに、前記切替部

(3)の切替動作を制御して前記指定コードが示すテ

2

スト信号(S_t)および外付回路系(2)を選択する切替制御部(4)を備えており、

該切替制御部(4)は、

前記試験制御部(1)からの指定コードを解読して前記試験測定系の種別を示すデコード信号を出力するデコーダ(5)と、

該デコーダ(5)からのデコード信号に基づき、前記切替動作を行うための制御信号を論理和素子により生成する論理和回路(6)とを具備することを特徴とするデバイス試験装置。

【請求項2】請求項1記載の試験制御部(1)、外付回路系(2)および切替部(3)を含むデバイス試験装置を用いたデバイス試験方法であって、前記被測定デバイス(7)に対し各種の試験を行う際に該試験のモードに応じて特定のコードを指定し、

該指定されたコードをもとに生成される制御信号により前記切替部（３）を動作させて前記被測定デバイス

（７）の試験測定系を設定し、

該設定された試験測定系により前記被測定デバイス

（７）を動作させてその良否を判定することを特徴とするデバイス試験方法。

【請求項 3】前記デコーダ（５）および論理和回路

（６）を、任意の組み合わせが可能な複数種の論理素子からなる PLD（14）により実現する請求項 1 記載のデバイス試験装置。

【発明の詳細な説明】

〔概 要〕

集積回路等の被測定デバイスに対し各種の試験を行ってその良否を判定するためのデバイス試験装置および試験方法に関し、

被測定デバイスに対し新規の試験を行うためにリレー等のハードウェアを追加する場合等にソフトウェア側の負担を大きくしたり、独立して動作するリレー等の数が IC テスタ等からのリレー制御線の本数により制限されたりすることのないデバイス試験装置および試験方法を提

供することを目的とし、
被測定デバイスに対し各種の試験を行って該被測定デバイスの良否を判定するための試験制御部と、該試験制御部から供給されるテスト信号と組み合わせて前記被測定デバイスを動作させる外付回路系と、該テスト信号および前記外付回路系の前記被測定デバイスに対する接続状態を切り替えて該被測定デバイスの試験測定系を形成するための切替部と、前記試験を行う際に前記試験制御部から出力され、かつ、前記被測定デバイスの前記試験測定系の種別を指定する指定コードをもとに、前記切替部の切替動作を制御して前記指定コードが示すテスト信号および外付回路系を選択する切替制御部とを備え、該切替制御部は、前記試験制御部からの指定コードを解釈して前記試験測定系の種別を示すデコード信号を出力するデコーダと、該デコーダからのデコード信号に基づき、前記切替動作を行うための制御信号を論理和素子により生成する論理和回路とを具備するように構成し、あるいは、前記被測定デバイスに対し各種の試験を行う際に該試験のモードに応じて特定のコードを指定し、該指定されたコードをもとに生成される制御信号により前記切替部を動作させて前記被測定デバイスの試験測定系を設定し、該設定された試験測定系により前記被測定デバイスを動作させてその良否を判定するようにし、あるいは、前記デコードおよび論理和回路を、任意の組み合わせが可能な複数種の論理素子からなる PLD により構成する。

〔産業上の利用分野〕

本発明は集積回路等の被測定デバイスに対し各種の試験を行ってその良否を判定するためのデバイス試験装置および試験方法に関する。

近年、LC 共振回路等の種々の外付回路と共に用いられる高機能の集積回路（例えば、PLL 回路）の開発が盛んに行われている。さらに、この種の集積回路を他社に先んじて早期に製品化するためには、人手をかけずに短期間で効率良く開発することが要求される。このため、上記集積回路の出荷段階等における各種の試験についても、短時間で開発を完了させる必要が生じてくる。これらの試験の中には、集積回路単体での特性測定の他に、各集積回路毎に有する特殊機能を確認するために外付回路と組み合わせた状態で行われる特性測定も含まれている。

本発明は上記各種の試験の開発を効率良く行うための一方策について言及するものである。

〔従来の技術〕

第 5 図は従来のデバイス試験装置の一例を示す回路図である。ただし、ここでは、集積回路等の被測定デバイス 7 の出荷段階等において測定ボード上に搭載された被測定デバイス 7（DUT（Device under Test）ともよばれる）に対し 3 種の試験を行う場合を代表して説明することとする。

第 5 図においては、上記被測定デバイスに対し各種の試験を行ってこの被測定デバイス 7 が良品か否かを判定するための試験制御部 1 が設けられている。この試験制御部 1 は、通常、CPU を有する IC テスタから構成される。この IC テスタ内のソフトウェアにより予め作成された試験プログラムに従い CPU から被測定デバイス 7 にテスト信号 S_i （または特殊機能テスト信号 S_i' ）を供給すれば、上記被測定デバイス 7 の試験を自動的に行うことができる。なお、被測定デバイス 7 に印加する電源電圧 V_d も IC テスタから供給される。さらに、上記被測定デバイス 7 には共振回路 8 やコンデンサ 9 等の外付回路系が接続されている。これらの外付回路系は、上記テスト信号 S_i と組み合わせて被測定デバイス 7 を動作させるために必要なものである。さらに、上記測定ボード上には、被測定デバイス 7 と共に 3 つのリレー r_1, r_2 および r_3 からなる切替部が配置されている。上記の試験制御部 1、外付回路系および切替部によりデバイス試験装置が構成される。

この従来のデバイス試験装置を用いて各種の試験を行う際は、試験制御部 1 内の試験プログラム中からリレー制御線にリレー切替用の制御信号 S_{r1}, S_{r2} および S_{r3} を供給することにより、テスト信号 S_i および外付回路系の被測定デバイス 7 に対する接続状態を切り替えていた。このようにすれば、各試験の目的に応じてリレー r_1, r_2 および r_3 のオン／オフ状態を選択し、所望の試験測定系を構成することができる。例えば、第 6 図～第 8 図において、3 つのリレー r_1, r_2 および r_3 のオン／オフ状態の組み合わせにより 3 種の試験測定系が構成されている。なお、この場合、各リレーがオフ状態のときはその接点がテスト信号 S_i 側にあり、オン状態のときはその接点が特

特殊機能テスト信号 S_i' 側(r1の接点)または外付回路系側(r2およびr3の接点)にあるものとする。

さらに具体的に説明すると、第6図の第1の試験測定系においては、リレーr1、r2およびr3のいずれもオフ状態になっており、被測定デバイス7にデジタルのテスト信号 S_i が供給されて導通チェック等が行われる。また、第7図の第2の試験測定系においては、リレーr2のみがオン状態になって共振回路8が被測定デバイス7に接続されており、この被測定デバイス7内の発振器(OSCと表示)17の中心発振周波数の測定等が行われる。さらにまた、第8図の第3の試験測定系においては、リレーr1、r2およびr3のいずれもオン状態になってアナログの特殊機能テスト信号 S_i' と共振回路8とコンデンサ9とが被測定デバイス7に接続されており、この被測定デバイス7内のPLL回路27(PDは位相検出器、AMPは増幅器を示す)の動作確認等が行われる。

〔発明が解決しようとする課題〕

上記のとおり、従来のデバイス試験装置を用いて集積回路等の被測定デバイス7の試験を行う場合、これらの各試験の目的に応じてICテスト等の試験プログラム(ソフトウェア)によりリレー等のオン/オフ切替動作を制御して所望の試験測定系を構成するようにしていた。

したがって、上記被測定デバイス7の試験方法を改良したり、新しい試験方法を追加したりする場合には、試験測定系が変更となったり新たに必要となったりし、リレー等のハードウェアを追加・変更しなければならないケースが生じてくる。このときに、リレー制御用の試験プログラムも変えなければならず、ハードウェアの変更がソフトウェアにも影響を及ぼすことになる。このため、被測定デバイス7の機能が複雑になるに従ってソフトウェア側の負担が大きくなり、試験プログラム作成上の誤りを起こし易くなるという問題が発生する。さらに、この場合、独立して動作し得るリレー等の数がICテストからのリレー制御線の本数、すなわち出力端子数(例えば、30本)により制限されてしまうので、複雑な機能を有する被測定デバイス7のすべての試験が充分に行えないという問題も発生する。

本発明は上記問題点を鑑みてなされたものであり、集積回路等の被測定デバイス7に対し新規の試験を行うためにリレー等のハードウェアを追加する場合等にソフトウェア側の負担を大きくしたり、独立して動作するリレー等の数がICテスト等からのリレー制御線の本数により制限されたりすることのないデバイス試験装置および試験方法を提供することを目的とするものである。

〔課題を解決するための手段〕

第1図は本発明の前提となるデバイス試験装置の構成を示すブロック図である。なお、前述した構成要素と同様のものについては、同一の参照番号を付して表す。

第1図に示すように、本発明のデバイス試験装置は、被測定デバイス7に対し各種の試験を行って該被測定デ

バイス7の良否を判定するための試験制御部1と、該試験制御部1から供給されるテスト信号 S_i と組み合わせる前記被測定デバイス7を動作させる外付回路系2と、該テスト信号 S_i および前記外付回路系2の前記被測定デバイス7に対する接続状態を切り替えて該被測定デバイス7の試験測定系を構成するための切替部3とを有し、前記試験を行う際に前記試験制御部1から出力され、かつ、前記被測定デバイス7の前記試験測定系の種別を指定する指定コードをもとに、前記切替部3の切替動作を制御して前記指定コードが示すテスト信号 S_i および外付回路系2を選択する切替制御部4を備えている。

ここで、前記切替制御部4は、前記試験制御部1からの指定コードを解読して前記試験測定系の種別を示すデコード信号を出力するデコーダと、該デコーダからのデコード信号に基づき、前記切替動作を行うための制御信号を論理和素子により生成する論理和回路とを具備している。

あるいは、第1図の試験制御部1、外付回路系2および切替部3を含むデバイス試験装置を用いた本発明のデバイス試験方法においては、前記被測定デバイス7に対し各種の試験を行う際に該試験のモードに応じて特定のコードを指定し、該指定されたコードをもとに生成される制御信号による前記切替部3を動作させて前記被測定デバイス7の試験測定系を設定し、該設定された試験測定系により前記被測定デバイス7を動作させてその良否を判定している。

好ましくは、前記デコーダ部および論理和回路は、任意の組み合わせが可能な複数種の論理素子からなるPLD(Programmable Logic Device)により実現される。

〔作 用〕

本発明のデバイス試験装置においては、ICテスト等の試験制御部1から外部の切替制御部4に対して試験測定系の指定コードを入力すれば、上記切替制御部4から切替部3内のリレー等のオン/オフ切替動作の制御信号が出力される。すなわち、上記試験制御部1からリレー制御線に制御信号を供給することなく2進数の指定コードを送出するのみで、切替部3内のリレー等が動作して上記指定コードに応じた試験測定系が設定される。したがって、被測定デバイス7に対して別モードの試験を行うためにリレー等のハードウェアを追加する場合でも、切替制御部4の論理和回路等における論理素子(論理ゲート)の追加により対応することができるので、試験制御部1内のソフトウェアに影響を及ぼすことはなくなる。さらに、上記切替制御部4をPLDにより構成すれば、複数の論理ゲートの組み合わせによりリレー等の動作パターンを容易に書き込むことができる。なお、上記切替制御部4の代わりに試験制御部1の外部の周辺機器等にリレー切替制御の役割を持たせることも可能である。

さらに、試験制御部1から出力される指定コードは2進数で表示されるために、その数はリレー制御線の本数

よりもずっと少なく済むので、従来（第 5 図）と異なり、独立して動作するリレーの数が IC テスタ等の試験制御部 1 の出力端子数により制限されるおそれもなくなる。

かくして、本発明では、集積回路等の被測定デバイスに対し新規の試験を行うためにリレー等のハードウェアを追加する場合等にソフトウェア側の負担を従来よりも軽減したり、独立して動作するリレー等の数が IC テスタ等からのリレー制御線の本数により制限されるのを防止したりすることが可能となる。

〔実施例〕

第 2 図は本発明の一実施例を示すブロック図である。ここでは、試験制御部 1 は、CPU11 を有する IC テスタ 10 により構成される。さらに、切替部 3 として、多数のリレーが配列されたリレー群 30 を測定ボード上に取り付けている。

さらに、切替制御部 4 は、IC テスタ 10 からの指定コードを解読して試験測定系の種別を示すデコード信号を出力するデコーダ 5 と、このデコーダ 5 からのデコード信号に基づき、リレー群 30 の制御信号を少なくとも 1 個以上の論理和素子により生成する論理和回路 6 とから構成される。もし、被測定デバイス 7 に対し試験を行う際にこの試験を行うための試験測定系の指定コードを 2 進数により IC テスタ 10 からデコーダ 5 に入力すれば、上記試験測定系の番号がデコード信号として出力される。したがって、IC テスタ 10 の指定コード出力用の端子が N 個あれば、 2^N 通りのデコード信号が出力されるので、 2^N 通りの試験測定系を設定することが可能であり、IC テスタ 10 からの制御信号（指定コード）の数は従来よりもずっと少なく済む。さらに、論理和回路 6 においては、被測定デバイス 7 の各試験のモードに応じてリレーのオン／オフ切替動作の制御信号を論理和素子により生成し、これらの制御信号を各リレーに供給してテスト信号 S_i および外付回路系 2 を選択し、目的とする試験測定系を設定している。この場合、デコーダ 5 は被測定デバイス 7 に依存しない回路であるが、論理和回路 6 は上記被測定デバイス 7 毎に準備する必要がある。ただし、上記論理和回路 6 は単純な論理和素子により容易に構成することができるので、新しい動作パターンのリレーを追加した場合に、このリレーに対して 1 つの論理和素子を追加しさえすれば、IC テスタ 10 内のソフトウェアの変更をすることなく迅速な対応が可能となる。

第 3 図は第 2 図の具体例を示す回路図である。ここでは、被測定デバイス 7 に対し 3 種の試験を行う場合の回路構成を例示することとする。なお、上記 3 種の試験を行うための試験測定系は前述の第 6 図～第 8 図と同じものであるとする。

第 3 図においては、3 桁の指定コード $D_0 \sim D_2$ がデコーダ 5 に入力されるので、このデコーダ 5 から 8 通り（ $2^3 = 8$ ）のデコード信号が出力される。これらのデコーダ

信号 $S_0 \sim S_7$ のレベルは“H”（High）または“L”（Low）になっており、“H”のデコード信号が試験測定系の番号に対応している。すなわち、 S_2 が“H”のときは論理和回路 6 によりリレー群中の 1 つのリレー r_2 がオン状態になって第 2 の試験測定系が構成され、かつ、 S_2 が“H”のときは上記論理和回路 6 によりすべてのリレー r_1, r_2 および r_3 がオン状態になって第 3 の試験測定系が構成されることを示している。なお、第 1 の試験測定系を構成する場合には、リレー群中のいずれのリレーもオフ状態のままでよいので、デコード信号を論理和回路 6 に接続しないこととする。さらに詳しく説明すると、第 2 および第 3 の試験測定系を構成するときにはリレー r_2 がオン状態になるために、デコード信号 S_2, S_3 を入力とする論理和素子が上記リレー r_2 に接続されている。また一方で、リレー r_1, r_3 は、第 3 の試験測定系を構成するときにもいずれもオン状態になるために、入力が 1 つのデコード信号 S_3 のみになって論理和素子を省略することができる。

上記具体例では、論理和回路 6 を 1 つの論理和素子のみにより構成しているが、被測定デバイス 7 の試験の種類に応じて複数の論理和素子を容易に追加することが可能となる。すなわち、ソフトウェアにより試験プログラムを変更しなくても論理和素子やリレー等のハードウェアを変更するのみで対応することができるので、ソフトウェア側をハードウェア側から完全に切り分けてプログラム作成上の誤り等を防止することが可能となる。

第 4 図は本発明の他の実施例を示すブロック図である。ここでは、第 2 図のデコーダ 5 および論理和回路 6 を PLD14 により実現している。この PLD14 は、論理和素子や論理積素子等の複数種の論理素子をランダムに配列して構成したものであり、これらの論理素子を選択することによって任意の制御信号を生成することができる。この場合は、新規の試験を行う際に外部からの信号により論理素子の組み合わせを予め変更するのみで所望の試験測定系を構成することが可能となる。したがって、前記実施例（第 2 図）のように論理和素子を新たに追加する必要がなくなつて部品点数および接続線本数の節減が図れる。

〔発明の効果〕

以上説明したように本発明によれば、集積回路等の被測定デバイスに対し新規の試験を行う場合等に、ソフトウェアに影響を与えることなくリレーや論理素子等のハードウェアを追加するのみで対応することができるので、ソフトウェア側とハードウェア側の独立性が高まり、デバイス試験装置および試験方法に対する双方の効率的な開発が可能となる。さらに、独立して動作するリレー等の数が IC テスタ等からのリレー制御線の本数により制限されることはないので、今後ますます複雑化する被測定デバイスのすべての試験を漏れなく行ってその良否を適格に判定することが可能となる。

【図面の簡単な説明】

第1図は本発明の前提となるデバイス試験装置の構成を示すブロック図、

第2図は本発明の一実施例を示すブロック図、

第3図は第2図の具体例を示す回路図、

第4図は本発明の他の実施例を示すブロック図、

第5図は従来のデバイス試験装置の一例を示す回路図、

第6図は第5図において第1の試験測定系を構成した状態を示す図、

第7図は第5図において第2の試験測定系を構成した状態*

* 態を示す図、

第8図は第5図において第3の試験測定系を構成した状態を示す図である。

図において、

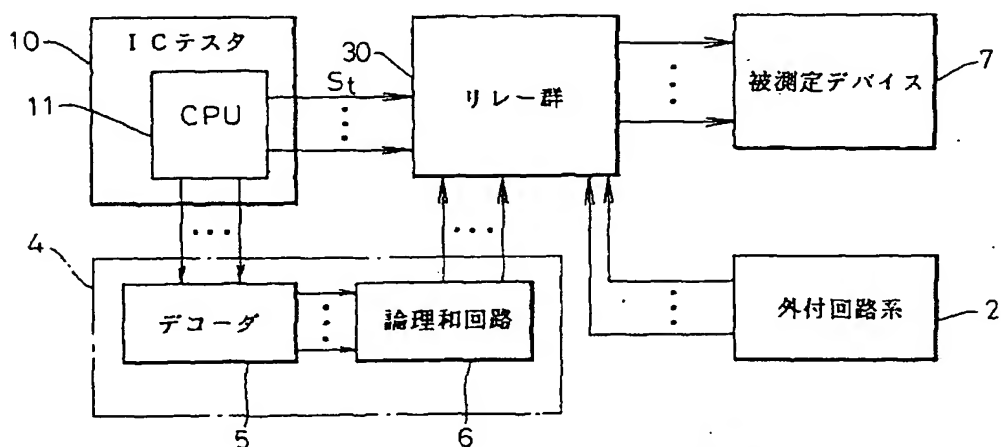
1 ……試験制御部、2 ……外付回路系、

3 ……切替部、4 ……切替制御部、

5 ……デコーダ、6 ……論理和回路、

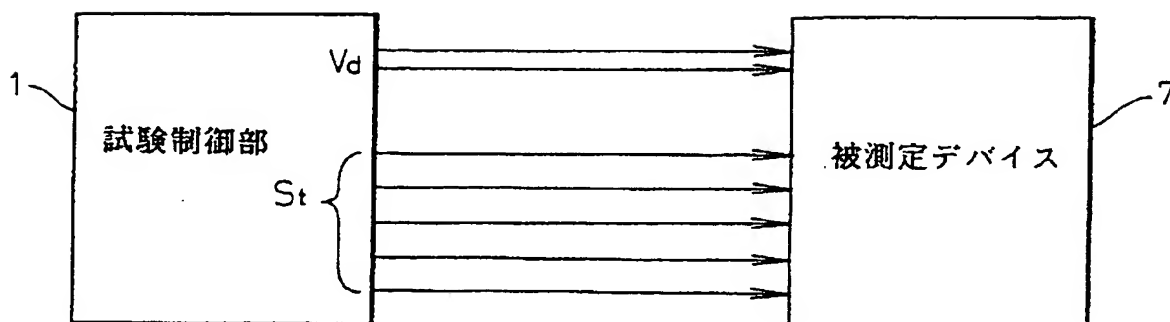
7 ……被測定デバイス、14 ……PLD。

【第2図】



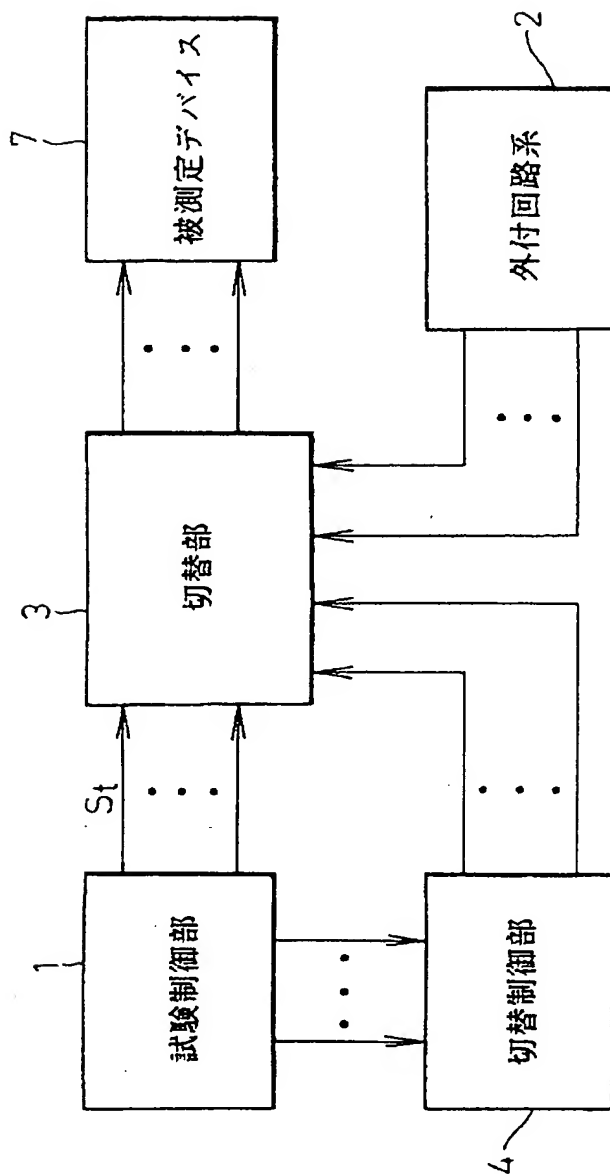
本発明の一実施例を示すブロック図

【第6図】



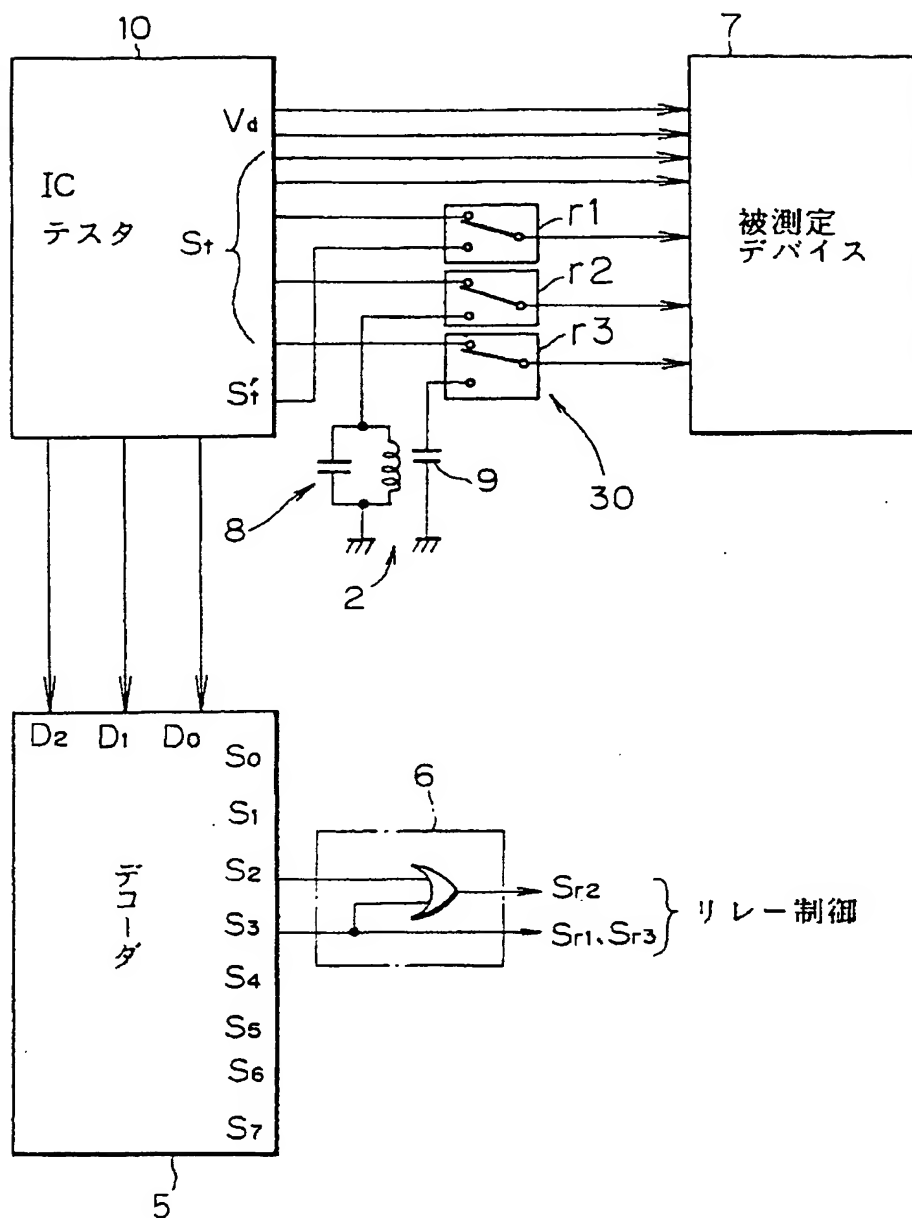
第5図において第1の試験測定系を構成した状態を示す図

【第 1 図】



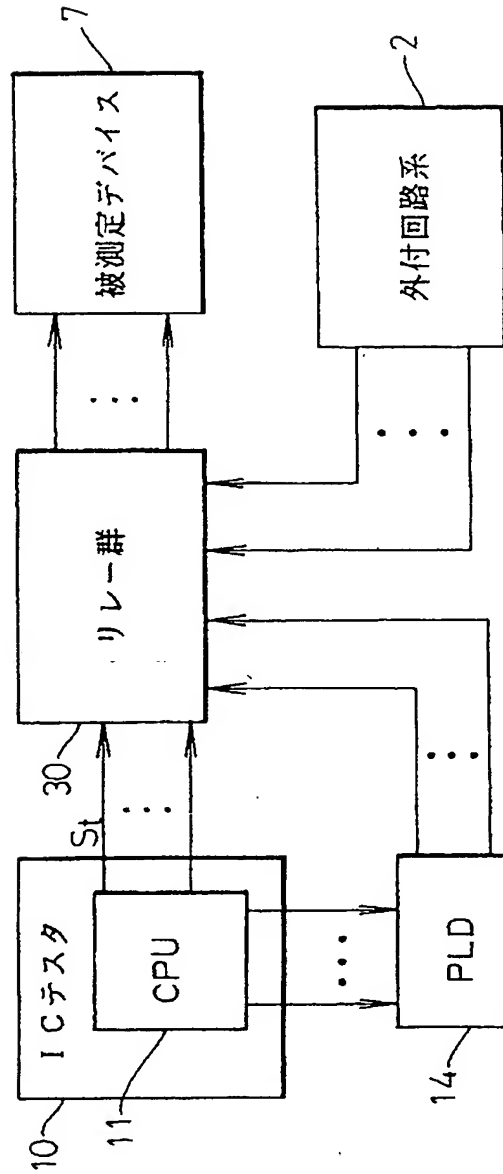
本発明の前提となるデバイス試験装置の構成を示すブロック図

【第3図】



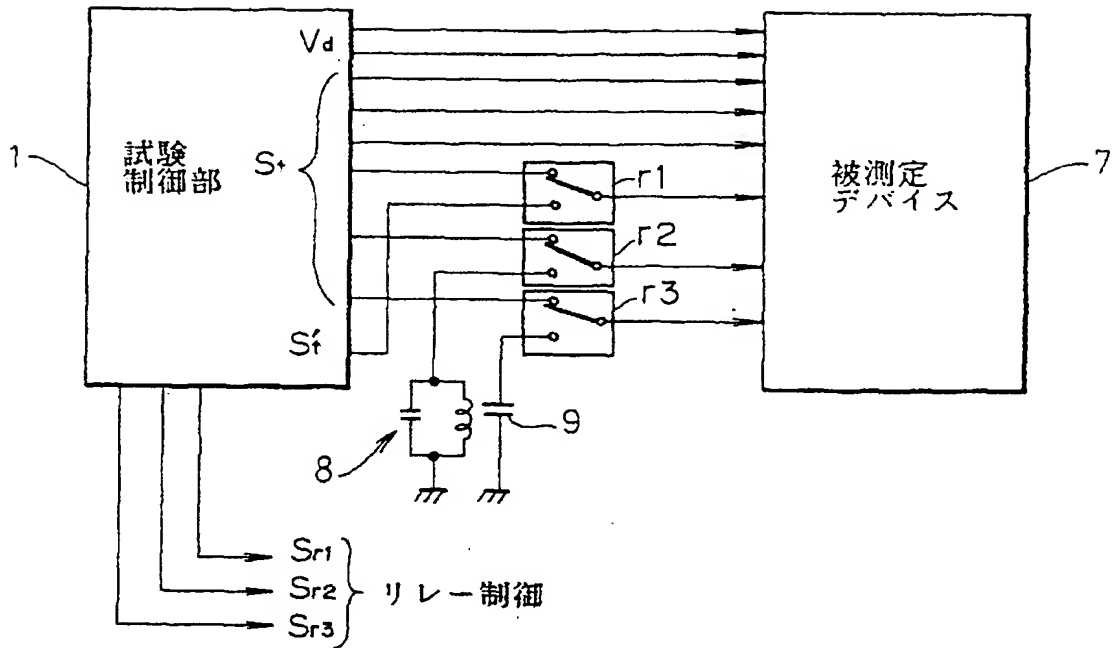
第2図の具体例を示す回路図

【第4図】



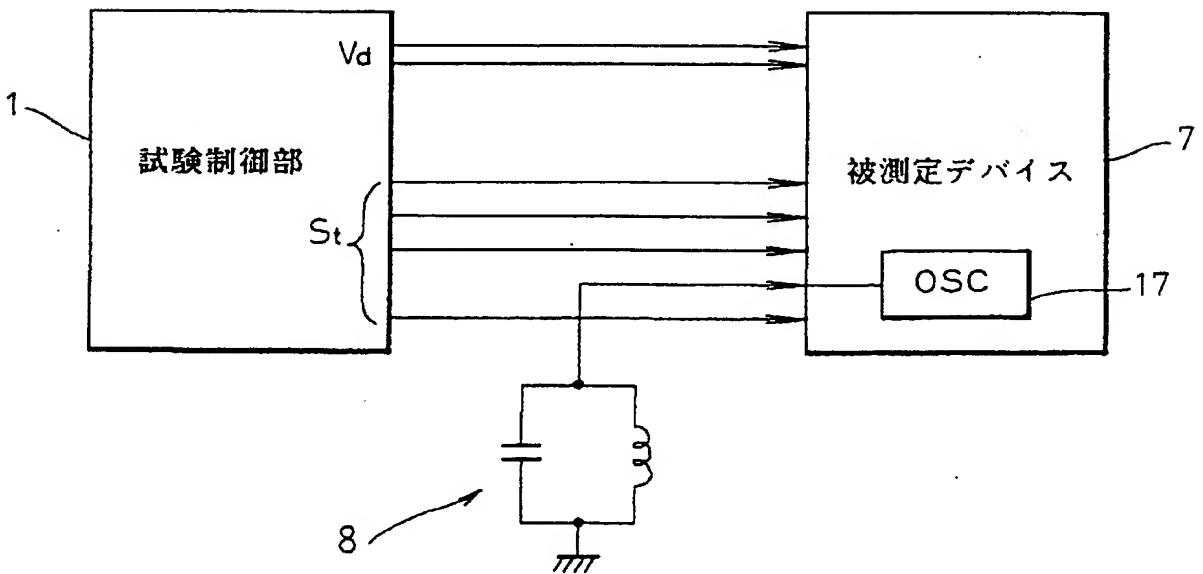
本発明の他の実施例を示すブロック図

【第5図】



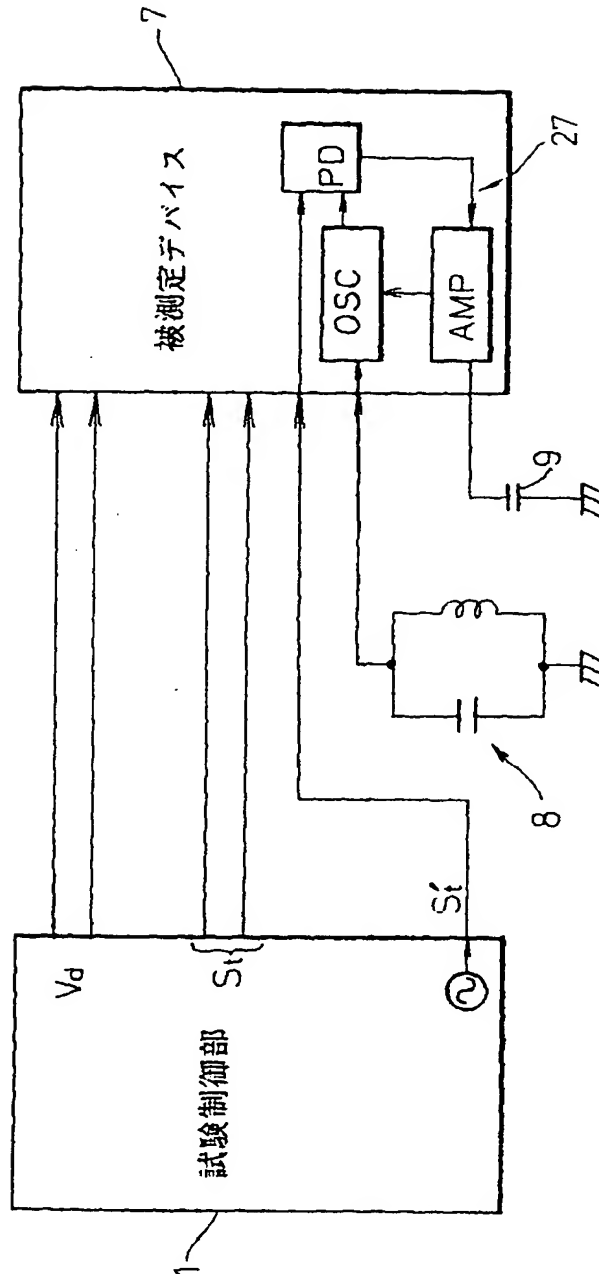
従来のデバイス試験装置の一例を示す回路図

【第7図】



第5図において第2の試験測定系を構成した状態を示す図

【第8図】



第5図において第3の試験測定系を構成した状態を示す図

フロントページの続き

(72)発明者 関戸 裕治
 愛知県春日井市高蔵寺町2丁目1844番2
 富士通ヴィエルエスアイ株式会社内

合議体
 審判長 伊坪 公一
 審判官 志村 博
 審判官 住田 秀弘

- (56) 参考文献 特開 平 2 - 51244 (J P, A)
 特開 昭 61 - 40574 (J P, A)
 特開 昭 57 - 161669 (J P, A)
 実開 昭 63 - 57588 (J P, U)